

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199666
 (43)Date of publication of application : 31.07.1997

(51)Int.CI. H01L 25/00
 H01L 27/04
 H01L 21/822

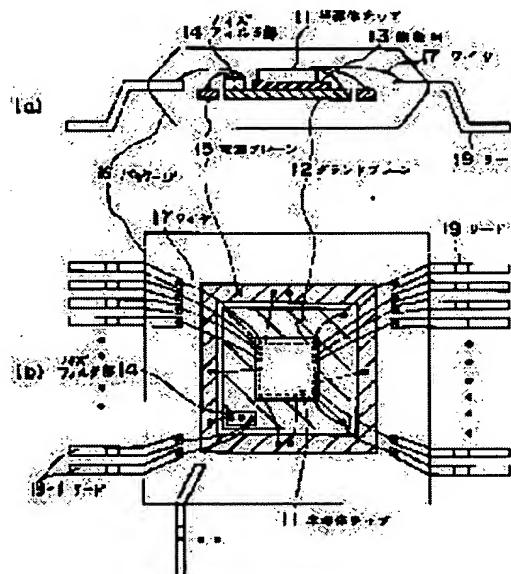
(21)Application number : 08-009570 (71)Applicant : NEC ENG LTD
 (22)Date of filing : 23.01.1996 (72)Inventor : KOBAYASHI MITSUYOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive semiconductor circuit device which can suppress radiation noise with a semiconductor device itself and has a simple structure with less number of parts.

SOLUTION: A device has a ground plane (grounding plate) 12 which becomes a zero potential, a power supply plate 15 which becomes a power supply voltage being provided nearby, a semiconductor chip 11 which is provided on the grounding plate and has a terminal, an inductor and a capacitor, a grounding terminal which is connected one pole of the capacitor, a first power supply terminal connected to the other pole of the capacitor and one pole of the inductor, and a second power supply terminal connected to the other pole of the inductor and has a noise filter part 14 where the grounding terminal is connected to the grounding terminal 12 in a package 16 with a lead 19. All terminals for feeding power of a semiconductor chip are connected to a lead 19 via the first and second power supply terminals of the noise filter part 14 and those for grounding of the chip 11 are connected to the lead 19 for supplying power via the grounding plate.



LEGAL STATUS

[Date of request for examination] 22.05.2000

[Date of sending the examiner's decision of rejection] 07.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199666

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl.⁶
H 0 1 L 25/00
27/04
21/822

識別記号 庁内整理番号

F I
H 0 1 L 25/00
27/04

技術表示箇所
B
C

審査請求 未請求 請求項の数3 OL (全6頁)

(21)出願番号

特願平8-9570

(22)出願日

平成8年(1996)1月23日

(71)出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72)発明者 小林 光由

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

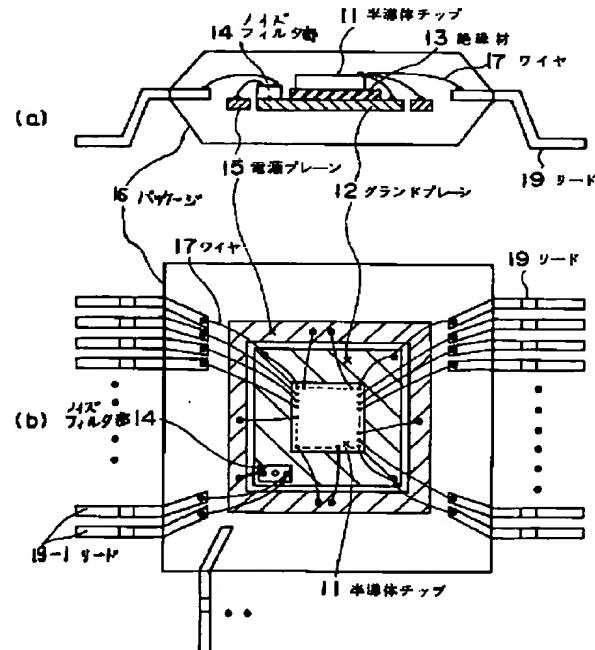
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路装置

(57)【要約】 (修正有)

【課題】 半導体装置自体で放射ノイズを抑制でき、部品数が少ない簡素な構造で設計や製造も容易な低コストの半導体集積回路装置を提供する。

【解決手段】 ゼロ電位となるグランドプレーン(接地板)12と、その近傍に設けられた電源電圧となる電源板15と、グランド板上に設けられて端子を持つ半導体チップ11と、インダクタやコンデンサ、コンデンサの一極に接続するグランド端子、コンデンサの他極やインダクタの一極に接続する第1の電源端子、並にインダクタの他極に接続する第2の電源端子を備え、またグランド端子がグランド板12に接続されたノイズフィルタ部14を、リード19をもつパッケージ16内に有する。半導体チップの電源供給用の全端子は電源板15、ノイズフィルタ部14の第1電源端子及び第2電源端子を経てリード19に接続され、一方チップ11のグランド用の全端子はグランド板を経て電源供給用リード19に接続される。



【特許請求の範囲】

【請求項1】 ゼロ電位となるグランド板と、前記グランド板近傍に設けられた電源電圧電位となる電源板と、前記グランド板上に設けられ、端子を持つ半導体集積回路部と、インダクタ、コンデンサ、該コンデンサの一極に接続するグランド端子、該コンデンサの他極および該インダクタの一極に接続する第1の電源端子、ならびに該インダクタの他極に接続する第2の電源端子を備え、該グランド端子が前記グランド板に接続したノイズフィルタ部とを、リードを持つパッケージ内に有し、前記半導体集積回路部の電源供給用の前記端子全ては、前記電源板、前記ノイズフィルタ部の前記第1の電源端子、該ノイズフィルタ部の前記第2の電源端子を経て前記リードに接続される一方、前記半導体集積回路部のグランド用の前記端子全ては、前記グランド板を経て電源供給用の前記リードに接続されたことを特徴とする半導体集積回路装置。

【請求項2】 前記電源板は、誘電体を介して前記グランド板に対向配置され、該グランド板および該電源板間に静電容量を形成する請求項1記載の半導体集積回路装置。

【請求項3】 ゼロ電位となるグランド板と、前記グランド板近傍に設けられた電源電圧電位となる電源板と、前記グランド板上に設けられ、端子を持つ半導体集積回路部と、インダクタ、該インダクタの一極に接続する第1の電源端子、および該インダクタの他極に接続する第2の電源端子を備えたノイズフィルタ部とを、リードを持つパッケージ内に有し、前記半導体集積回路部の電源供給用の前記端子全ては、前記電源板、前記ノイズフィルタ部の前記第1の電源端子、該ノイズフィルタ部の前記第2の電源端子を経て前記リードに接続される一方、前記半導体集積回路部のグランド用の前記端子全ては、前記グランド板を経て電源供給用の前記リードに接続され、前記電源板は、誘電体を介して前記グランド板に対向配置され、該グランド板および該電源板間に静電容量を形成する半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置に関し、特に、自らの半導体集積回路部の高速スイッチングによって発生するノイズを抑制するEMC対策を施した半導体集積回路装置に関する。

【0002】

【従来の技術】 従来、半導体集積回路装置をプリント基板等上に実装し、外部回路と接続して使用する上で、自らの半導体集積回路部における高速スイッチングによって発生する高周波ノイズがパッケージ外の外部回路から放射することがある。これに対し、外部回路にコンデンサまたはこれを含むフィルタ回路を設けたり、半導体集積回路装置をシールドケースで覆うなどの対策がとられ

ることがある。しかし、これら対策では、外部回路の構造が複雑であったり、部品数が多くなり、実装スペースの点ならびに製造コストの点で好ましくない。

【0003】 この他には、装置自体に放射ノイズ抑制対策をとった半導体集積回路装置が提案されている。例えば、実開平3-79453号公報には、パッケージ内にて、アース電極板上に、シリコンチップを搭載すると共に、その周囲にチップコンデンサを搭載し、シリコンチップとパッケージ端子との間にチップコンデンサを介在させてワイヤ接続する構造の半導体集積回路装置が開示されている(第1の従来例)。

【0004】 また、特開昭64-39100号公報には、集積回路の各信号ラインの出力部にEMIフィルタを付加し、かつパッケージ自体(外表面)を導体でシールドすることにより、ノイズを遮蔽する構造を有する半導体集積回路装置が開示されている(第2の従来例)。

【0005】

【発明が解決しようとする課題】 第1の従来例では、半導体チップの全信号線それぞれに対してコンデンサを使用することになり、構造が複雑であるし、半導体集積回路装置としてコスト高になるという問題点がある。仮に、コンデンサ数を減らすのであれば、半導体チップの種類毎にコンデンサの介在が必要である信号線を特定する必要があり、設計に手間を要する。

【0006】 また、第2の従来例では、ノイズを発生する危険性のある信号ラインを予め特定してこれにEMIフィルタを付加する必要があり、製造に先立つ設計に手間を要する。さらに、パッケージの外表面という比較的広い面積でもって導体を形成する構造であり、製造が容易ではないし、コスト高であるという問題点がある。

【0007】 本発明の課題は、半導体集積回路装置自体で、放射ノイズを抑制できることは勿論、部品数が少なく、また構造が簡素であり、低コストな半導体集積回路装置を提供することである。

【0008】 本発明の他の課題は、製造ならびにこれに先立つ設計も容易である半導体集積回路装置を提供することである。

【0009】

【課題を解決するための手段】 本発明によれば、ゼロ電位となるグランド板と、前記グランド板近傍に設けられた電源電圧電位となる電源板と、前記グランド板上に設けられ、端子を持つ半導体集積回路部と、インダクタ、コンデンサ、該コンデンサの一極に接続するグランド端子、該コンデンサの他極および該インダクタの一極に接続する第1の電源端子、ならびに該インダクタの他極に接続する第2の電源端子を備え、該グランド端子が前記グランド板に接続したノイズフィルタ部とを、リードを持つパッケージ内に有し、前記半導体集積回路部の電源供給用の前記端子全ては、前記電源板、前記ノイズフィルタ部の前記第1の電源端子、該ノイズフィルタ部の前

記第2の電源端子を経て前記リードに接続される一方、前記半導体集積回路部のグランド用の前記端子全ては、前記グランド板を経て電源供給用の前記リードに接続されたことを特徴とする半導体集積回路装置が得られる。前記電源板は、誘電体を介して前記グランド板に対向配置され、該グランド板および該電源板間に静電容量を形成するものでもよい。

【0010】本発明によればまた、ゼロ電位となるグランド板と、前記グランド板近傍に設けられた電源電圧電位となる電源板と、前記グランド板上に設けられ、端子を持つ半導体集積回路部と、インダクタ、該インダクタの一極に接続する第1の電源端子、および該インダクタの他極に接続する第2の電源端子を備えたノイズフィルタ部と、リードを持つパッケージ内に有し、前記半導体集積回路部の電源供給用の前記端子全ては、前記電源板、前記ノイズフィルタ部の前記第1の電源端子、該ノイズフィルタ部の前記第2の電源端子を経て前記リードに接続される一方、前記半導体集積回路部のグランド用の前記端子全ては、前記グランド板を経て電源供給用の前記リードに接続され、前記電源板は、誘電体を介して前記グランド板に対向配置され、該グランド板および該電源板間に静電容量を形成する半導体集積回路装置が得られる。

【0011】

【発明の実施の形態】以下、図面を参照して、本発明による半導体集積回路装置を説明する。

【0012】【実施の形態1】図1(a)および(b)は、本発明の実施の形態1による半導体集積回路装置を示す概略図であり、(a)は縦断面図、(b)はパッケージ内を仮想的に透視した上面図である。また、図2は、図1に示す半導体集積回路装置の等価回路図である。

【0013】図1(a)および(b)と図2を併せ参照して、本半導体集積回路装置は、ゼロ電位となるグランドプレーン12と、枠形板状を呈し、グランドプレーン12の周囲に設けられた電源電圧電位となる電源プレーン15と、グランドプレーン12上に板状の絶縁材13を介して設けられ、端子を持つ半導体集積回路部である半導体チップ11と、インダクタ14b、コンデンサ14a、コンデンサ14aの一極に接続するグランド端子、コンデンサ14aの他極およびインダクタ14bの一極に接続する第1の電源端子、ならびにインダクタ14bの他極に接続する第2の電源端子を備え、グランド端子がグランドプレーン12に接続したチップ状のノイズフィルタ部14と、リード19を持つパッケージ16内に有している。

【0014】半導体チップ11の電源供給用の端子全ては、電源プレーン15、ノイズフィルタ部14の第1の電源端子、ノイズフィルタ部14の第2の電源端子を経て電源供給用のリード19-1に接続されている。各部

間は、ワイヤ17によって接続される。電源供給用のリード19-1には、外部回路から電源信号Eが供給される。一方、半導体チップ11のグランド用の端子全ては、グランドプレーン12を経てグランド用のリード19に接続されている。各部間は、ワイヤ17によって接続される。グランド用のリード19は、外部回路のグランドに接続される。

【0015】以上のような構成を有する本実施の形態による半導体集積回路装置は、半導体チップ11の回路が10高速にスイッチングすることにより発生するノイズ電流I_nをノイズフィルタ部14のコンデンサ14aにより短ループにし、インダクタ14bにより高周波に関して外部回路と遮絶することにより、半導体集積回路装置自体で放射ノイズを抑制できる。さらに、グランドプレーンおよび電源プレーンによってパッケージ内での配線とノイズフィルタ部を可及的共通化しており、部品数が少ない簡素な構造であり、製造ならびにこれに先立つ設計も容易であるし、低コストである。

【0016】【実施の形態2】図3は本発明の実施の形態2による半導体集積回路装置を示す概略的な縦断面図であり、図4は図3に示す半導体集積回路装置の等価回路図である。

【0017】図3と図4を併せ参照して、本半導体集積回路装置は、実施の形態1と同様に、グランドプレーン22と、グランドプレーン22の近傍に設けられた電源電圧電位となる電源プレーン25と、グランドプレーン22上に板状の絶縁材23を介して設けられた半導体チップ21と、インダクタ24b、コンデンサ24a、コンデンサ24aの他極およびインダクタ24bの一極に接続する第1の電源端子、ならびにインダクタ24bの他極に接続する第2の電源端子を備え、グランド端子がグランドプレーン22に接続したノイズフィルタ部24と、リード29を持つパッケージ26内に有している。

【0018】半導体チップ21の電源供給用の端子全ては、電源プレーン25、ノイズフィルタ部24の第1の電源端子、ノイズフィルタ部24の第2の電源端子を経て電源供給用のリード29に接続されている。各部間は、ワイヤ27によって接続される。電源供給用のリード29には、外部回路から電源信号Eが供給される。一方、半導体チップ21のグランド用の端子全ては、グランドプレーン22を経てグランド用のリード29に接続されている。各部間は、ワイヤ27によって接続される。グランド用のリード29は、外部回路のグランドに接続される。

【0019】さらに、実施の形態2では、電源プレーン25は、板状の誘電体28を介してグランドプレーン22に対向配置され、グランドプレーン22および電源プレーン25間に比較的大きい(電極板が大面積であるため)静電容量Cを形成している。

【0020】以上のような構成を有する本実施の形態による半導体集積回路装置は、半導体チップ21の高速スイッチングによるノイズ電流 I_{n1} 、 I_{n2} をコンデンサ24a、静電容量Cにより短ループにし、インダクタ24bにより高周波に関して外部回路と遮蔽することにより、半導体集積回路装置自体で放射ノイズを抑制できる。特に、本実施の形態は、大きい静電容量Cにより、実施の形態1よりも短ループかつ低インピーダンスとなる。また、実施の形態1と同様に、グランドプレーンおよび電源プレーンによってパッケージ内での配線とノイズフィルタ部を可及的共通化しており、部品数が少ない簡素な構造であり、製造ならびにこれに先立つ設計も容易であるし、低コストである。

【0021】尚、本実施の形態のように、グランドプレーンおよび電源プレーンで静電容量を形成する場合は、ノイズフィルタ部のコンデンサを省いても、十分なノイズ放射抑制効果が得られ、ノイズフィルタ部を簡素に構成できる。

【0022】

【発明の効果】本発明による半導体集積回路装置は、ゼロ電位となるグランド板と、グランド板近傍に設けられた電源電圧電位となる電源板と、グランド板上に設けられ、端子を持つ半導体集積回路部と、インダクタ、コンデンサ、コンデンサの一極に接続するグランド端子、コンデンサの他極およびインダクタの一極に接続する第1の電源端子、ならびにインダクタの他極に接続する第2の電源端子を備え、グランド端子がグランド板に接続したノイズフィルタ部とを、リードを持つパッケージ内に有し、半導体集積回路部の電源供給用の端子全てが電源板、ノイズフィルタ部の第1の電源端子、ノイズフィルタ部の第2の電源端子を経てリードに接続される一方、半導体集積回路部のグランド用の端子全てがグランド板を経て電源供給用のリードに接続されているため、半導

体集積回路部が高速にスイッチングすることにより発生するノイズ電流をノイズフィルタ部のコンデンサにより短ループにし、インダクタにより高周波に関して外部回路と遮蔽することにより、半導体集積回路装置自体で放射ノイズを抑制できる。さらに、グランド板および電源板によってパッケージ内での配線とノイズフィルタ部を可及的共通化しており、部品数が少ない簡素な構造であり、製造ならびにこれに先立つ設計も容易であるし、低コストである。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体集積回路装置を示す概略図であり、(a)は縦断面図、(b)はパッケージ内を仮想的に透視した上面図である。

【図2】図1に示す半導体集積回路装置の等価回路図である。

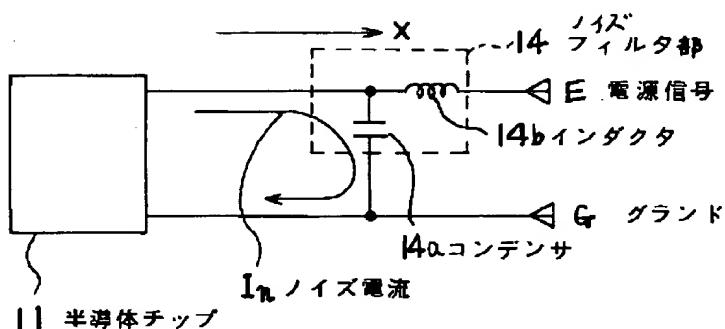
【図3】本発明の実施の形態2による半導体集積回路装置を示す概略的な縦断面図である。

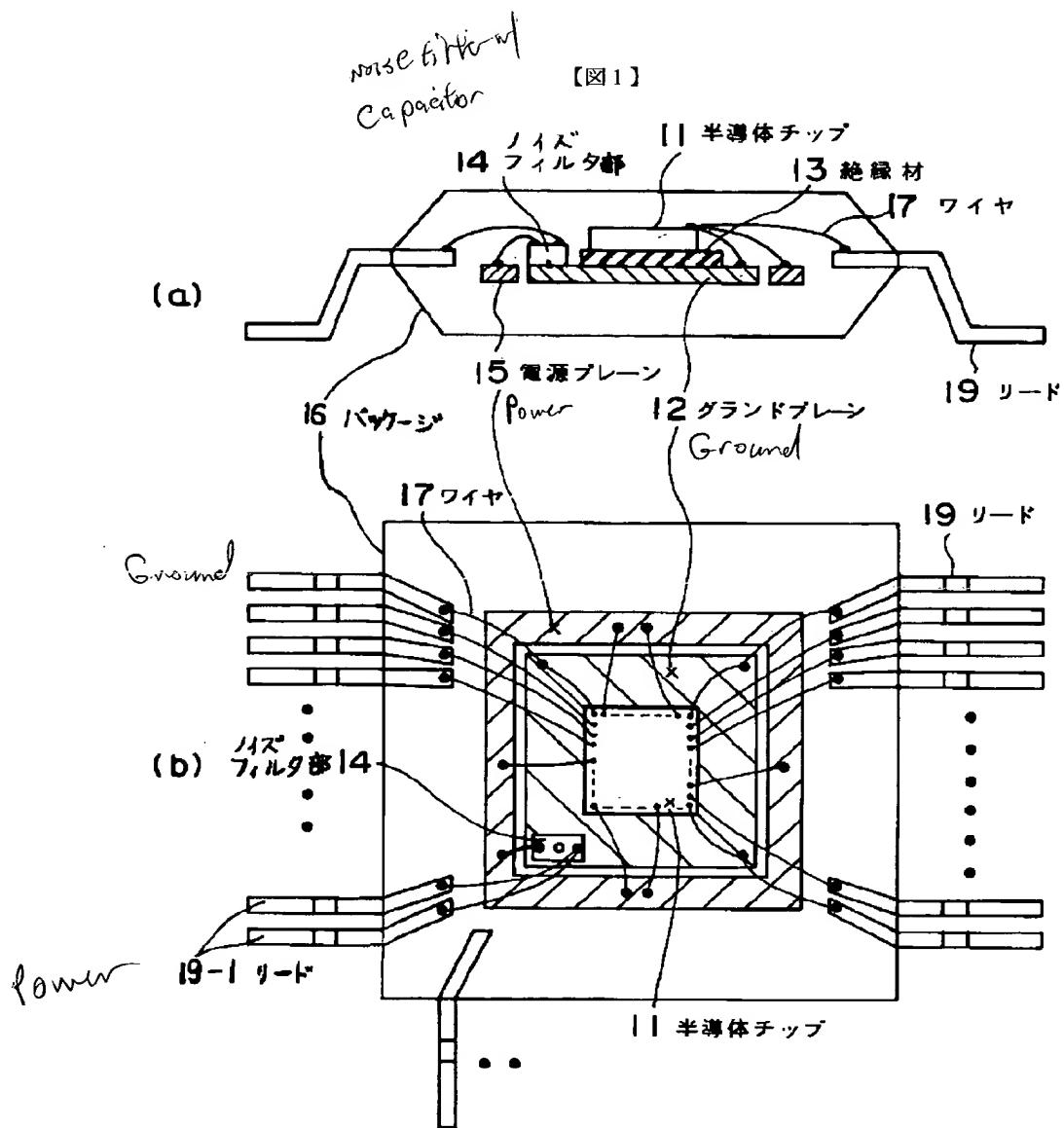
【図4】図3に示す半導体集積回路装置の等価回路図である。

【符号の説明】

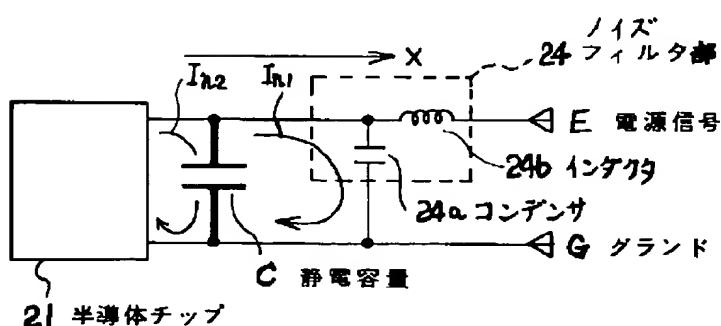
11	半導体チップ
12、22	グランドプレーン
13、23	絶縁材
14、24	ノイズフィルタ部
14a、24a	コンデンサ
14b、24b	インダクタ
15、25	電源プレーン
16、26	パッケージ
17、27	ワイヤ
28	誘電体
19、29	リード
C	静電容量
I_n 、 I_{n1} 、 I_{n2}	ノイズ電流

【図2】

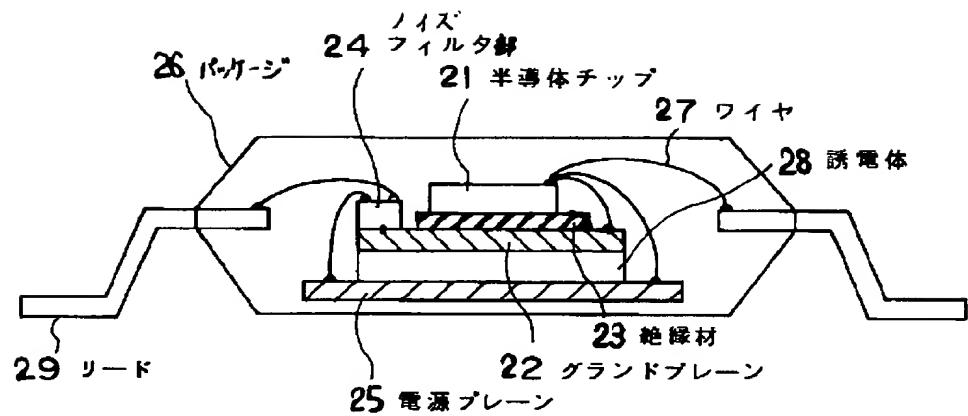




【図4】



【図3】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor integrated circuit equipment which took the measures against EMC which suppress the noise generated by high-speed switching of its semiconductor integrated circuit section about semiconductor integrated circuit equipment.

[0002]

[Description of the Prior Art] Conventionally, semiconductor integrated circuit equipment may be mounted in tops, such as a printed circuit board, and the RF noise generated by high-speed switching in its semiconductor integrated circuit section when using it for an external circuit, connecting may emanate from the external circuit besides a package. On the other hand, the filter circuit containing a capacitor or this is prepared in an external circuit, or there is taking [measures, such as covering semiconductor integrated circuit equipment by the shielding case,] *****. However, as these cures, the structure of an external circuit is complicated, or the number of parts increases, and it is not desirable in respect of a manufacturing cost in the point row of a mounting space.

[0003] The semiconductor integrated circuit equipment which took the measures against radiated-noise suppression against equipment itself is proposed by others. For example, the semiconductor integrated circuit equipment of the structure which carry a chip capacitor in the circumference, and a chip capacitor is made to intervene between a silicon chip and a package terminal, and makes wire connection within a package while carrying a silicon chip on a ground electrode board is indicated by JP,3-79453,U (the 1st conventional example).

[0004] Moreover, the semiconductor integrated circuit equipment which has the structure which covers a noise is indicated by JP,64-39100,A by adding an EMI filter to the output section of each signal line of an integrated circuit, and shielding the package (outside surface) itself by the conductor (the 2nd conventional example).

[0005]

[Problem(s) to be Solved by the Invention] In the 1st conventional example, a capacitor will be used to each of all signal lines of a semiconductor chip, and there is a trouble that structure is complicated and becomes cost quantity as semiconductor integrated circuit equipment. Temporarily, if the number of capacitors is reduced, for every kind of semiconductor chip, mediation of a capacitor needs to specify a required signal line and a design will take time and effort to it.

[0006] Moreover, it is necessary to add an EMI filter for specifying beforehand a signal line with the danger of generating a noise, and the design before manufacture takes time and effort in the 2nd conventional example. Furthermore, it is the structure of the outside surface of a package which has in latus area comparatively and forms a conductor, and there is a trouble of manufacture not being easy and being cost quantity.

[0007] It is semiconductor integrated circuit equipment itself, and as well as the ability to suppress a radiated noise, the technical problem of this invention has few parts, and its structure is simple, and it is

offering low cost semiconductor integrated circuit equipment.

[0008] Other technical problems of this invention are offering the semiconductor integrated circuit equipment also with the easy design before this for a manufacture row.

[0009]

[Means for Solving the Problem] The grand board which serves as a zero potential according to this invention, and the power supply board used as the supply voltage potential prepared near [a grand board] the above, The semiconductor integrated circuit section which is prepared on the aforementioned grand board and has a terminal, and an inductor, The 1st power terminal linked to the other poles of the grand terminal linked to one pole of a capacitor and this capacitor, and this capacitor, and one pole of this inductor, The noise filter section which was equipped with the 2nd power terminal connected to a row on the other poles of this inductor, and this grand terminal connected to the aforementioned grand board It has in a package with a lead. all the aforementioned terminals for the current supply of the aforementioned semiconductor integrated circuit section While connecting with the aforementioned lead through the aforementioned power supply board, the 1st power terminal of the above of the aforementioned noise filter section, and the 2nd power terminal of the above of this noise filter section The semiconductor integrated circuit equipment characterized by connecting all the aforementioned terminals for the glands of the aforementioned semiconductor integrated circuit section to the aforementioned lead for current supply through the aforementioned grand board is obtained. Opposite arrangement is carried out through a dielectric at the aforementioned grand board, and the aforementioned power supply board may form electrostatic capacity between this grand board and this power supply board.

[0010] The power supply board used as the supply voltage potential which was prepared the grand board which serves as a zero potential again, and near [a grand board] the above according to this invention, The semiconductor integrated circuit section which is prepared on the aforementioned grand board and has a terminal, and an inductor, The noise filter section equipped with the 1st power terminal linked to one pole of this inductor, and the 2nd power terminal linked to the other poles of this inductor It has in a package with a lead. all the aforementioned terminals for the current supply of the aforementioned semiconductor integrated circuit section While connecting with the aforementioned lead through the aforementioned power supply board, the 1st power terminal of the above of the aforementioned noise filter section, and the 2nd power terminal of the above of this noise filter section All the aforementioned terminals for the glands of the aforementioned semiconductor integrated circuit section are connected to the aforementioned lead for current supply through the aforementioned grand board, opposite arrangement of the aforementioned power supply board is carried out through a dielectric at the aforementioned grand board, and the semiconductor integrated circuit equipment which forms electrostatic capacity between this grand board and this power supply board is obtained.

[0011]

[Embodiments of the Invention] Hereafter, with reference to a drawing, the semiconductor integrated circuit equipment by this invention is explained.

[0012] [Gestalt 1 of operation] drawing 1 (a) and (b) are the schematic diagrams showing the semiconductor integrated circuit equipment by the gestalt 1 of operation of this invention, and it is the plan to which (a) saw through drawing of longitudinal section and (b) saw through the inside of a package virtually. Moreover, drawing 2 is the representative circuit schematic of the semiconductor integrated circuit equipment shown in drawing 1.

[0013] Drawing 1 (a), and (b) and drawing 2 are combined and referred to. this semiconductor integrated circuit equipment The ground plane 12 used as a zero potential, and the power plane 15 used as the supply voltage potential which presented the shape of a frame template and was prepared in the circumference of a ground plane 12, The semiconductor chip 11 which is the semiconductor integrated circuit section which is prepared through the insulating material 13 of a tabular on a ground plane 12, and has a terminal, The grand terminal linked to one pole of inductor 14b, capacitor 14a, and capacitor 14a, The 1st power terminal linked to the other poles of capacitor 14a, and one pole of inductor 14b, It has the 2nd power terminal connected to a row on the other poles of inductor 14b, and has the noise

filter section 14 of the letter of a chip which the grand terminal connected to the ground plane 12 in the package 16 with lead 19.

[0014] All the terminals for the current supply of a semiconductor chip 11 are connected to the lead 19-1 for current supply through the 1st power terminal of a power plane 15 and the noise filter section 14, and the 2nd power terminal of the noise filter section 14. A wire 17 connects between each part. The power supply signal E is supplied to the lead 19-1 for current supply from an external circuit. On the other hand, all the terminals for the glands of a semiconductor chip 11 are connected to the lead 19 for GURANNO through the ground plane 12. A wire 17 connects between each part. The lead 19 for GURANNO is connected to the gland of an external circuit.

[0015] The semiconductor integrated circuit equipment by the form of this operation which has the above composition can suppress a radiated noise with semiconductor integrated circuit equipment itself by making into a short loop the noise current I_n generated when the circuit of a semiconductor chip 11 switches at high speed by capacitor 14a of the noise filter section 14, and covering with an external circuit about a RF by inductor 14b. Furthermore, the as much as possible communalization of wiring within a package and the noise filter section is carried out by the ground plane and the power plane, and the number of parts is few simple structure, and it is [the design before this is also easy for a manufacture row, and] also a low cost.

[0016] [Form 2 of operation] drawing 3 is rough drawing of longitudinal section showing the semiconductor integrated circuit equipment by the form 2 of operation of this invention, and drawing 4 is the representative circuit schematic of the semiconductor integrated circuit equipment shown in drawing 3.

[0017] Drawing 3 and drawing 4 are combined and referred to. this semiconductor integrated circuit equipment The power plane 25 used as the supply voltage potential prepared near the ground plane 22 and the ground plane 22 like the form 1 of operation, The semiconductor chip 21 prepared through the insulating material 23 of a tabular on the ground plane 22, The grand terminal linked to one pole of inductor 24b, capacitor 24a, and capacitor 24a, The 1st power terminal linked to the other poles of capacitor 24a, and one pole of inductor 24b, It has the 2nd power terminal connected to a row on the other poles of inductor 24b, and has the noise filter section 24 which the grand terminal connected to the ground plane 22 in the package 26 with lead 29.

[0018] All the terminals for the current supply of a semiconductor chip 21 are connected to the lead 29 for current supply through the 1st power terminal of a power plane 25 and the noise filter section 24, and the 2nd power terminal of the noise filter section 24. A wire 27 connects between each part. The power supply signal E is supplied to the lead 29 for current supply from an external circuit. On the other hand, all the terminals for the glands of a semiconductor chip 21 are connected to the lead 29 for GURANNO through the ground plane 22. A wire 27 connects between each part. The lead 29 for GURANNO is connected to the gland of an external circuit.

[0019] Furthermore, with the form 2 of operation, opposite arrangement is carried out through the dielectric 28 of a tabular at a ground plane 22, and the power plane 25 forms the comparatively large electrostatic capacity C between a ground plane 22 and a power plane 25 (since an electrode board is a large area).

[0020] The semiconductor integrated circuit equipment by the form of this operation which has the above composition can suppress a radiated noise with semiconductor integrated circuit equipment itself by making the noise current I_{n1} and I_{n2} by high-speed switching of a semiconductor chip 21 into a short loop with capacitor 24a and electrostatic capacity C, and covering with an external circuit about a RF by inductor 24b. Especially the form of this operation serves as a short loop and a low impedance from the form 1 of operation with the large electrostatic capacity C. Moreover, like the form 1 of operation, the as much as possible communalization of wiring within a package and the noise filter section is carried out by the ground plane and the power plane, and the number of parts is few simple structure, and it is [the design before this is also easy for a manufacture row, and] also a low cost.

[0021] In addition, like the form of this operation, when forming electrostatic capacity by the ground plane and the power plane, even if it excludes the capacitor of the noise filter section, sufficient noise

radiation depressor effect is obtained and the noise filter section can be constituted simply.
[0022]

[Effect of the Invention] The grand board with which the semiconductor integrated circuit equipment by this invention serves as a zero potential, The power supply board used as the supply voltage potential prepared near the grand board, and the semiconductor integrated circuit section which is prepared on a grand board and has a terminal, The grand terminal linked to one pole of an inductor, a capacitor, and a capacitor, The 1st power terminal linked to the other poles of a capacitor, and one pole of an inductor, The noise filter section which was equipped with the 2nd power terminal connected to a row on the other poles of an inductor, and the grand terminal connected to the grand board It has in a package with a lead. all the terminals for the current supply of the semiconductor integrated circuit section A power supply board, Since all the terminals for the glands of the semiconductor integrated circuit section are connected to the lead for current supply through the grand board while connecting with a lead through the 1st power terminal of the noise filter section, and the 2nd power terminal of the noise filter section, A radiated noise can be suppressed with semiconductor integrated circuit equipment itself by making into a short loop the noise current generated when the semiconductor integrated circuit section switches at high speed by the capacitor of the noise filter section, and covering with an external circuit about a RF by the inductor. Furthermore, the as much as possible communalization of wiring within a package and the noise filter section is carried out with the grand board and the power supply board, and the number of parts is few simple structure, and it is [the design before this is also easy for a manufacture row, and] also a low cost.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the schematic diagram showing the semiconductor integrated circuit equipment by the gestalt 1 of operation of this invention, and is the plan to which (a) saw through drawing of longitudinal section and (b) saw through the inside of a package virtually.

[Drawing 2] It is the representative circuit schematic of the semiconductor integrated circuit equipment shown in drawing 1.

[Drawing 3] It is rough drawing of longitudinal section showing the semiconductor integrated circuit equipment by the gestalt 2 of operation of this invention.

[Drawing 4] It is the representative circuit schematic of the semiconductor integrated circuit equipment shown in drawing 3.

[Description of Notations]

11 21 Semiconductor chip

12 22 Ground plane

13 23 Insulating material

14 24 Noise filter section

14a, 24a Capacitor

14b, 24b Inductor

15 25 Power plane

16 26 Package

17 27 Wire

28 Dielectric

19 29 Lead

C Electrostatic capacity

In In1, In2 Noise current

[Translation done.]